

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: NAKAMURA, Manabu, et al.

Group Art Unit: To Be Assigned

Serial No.: To Be Assigned

Examiner: To Be Assigned

Filed: September 11, 2003

For. METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: September 11, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-273625, filed September 19, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson  
Attorney for Applicant  
Reg. No. 27,133

DWH/xl  
Atty. Docket No. 031140  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月19日

出 願 番 号

Application Number:

特願2002-273625

[ ST.10/C ]:

[ JP 2002-273625 ]

出 願 人

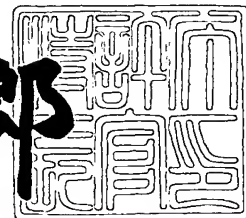
Applicant(s):

富士通エイ・エム・ディ・セミコンダクタ株式会社

2002年11月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3093061

【書類名】 特許願

【整理番号】 0200029

【提出日】 平成14年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

    【氏名】 中村 学

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

    【氏名】 南晴 宏之

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

    【氏名】 世良 賢太郎

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

    【氏名】 東 雅彦

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

    【氏名】 宇津野 五大

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エ

ム・ディ・セミコンダクタ株式会社内

【氏名】 高木 英雄

【発明者】

【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

【氏名】 鍛冶田 達也

【特許出願人】

【識別番号】 596180124

【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115175

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面を洗浄した後、強酸化性溶液により前記半導体基板の表面を酸化して第 1 の絶縁膜を形成する工程と、

低温処理により前記第 1 の絶縁膜を包含した第 2 の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 2 の絶縁膜を、ラジカルを含む雰囲気中で形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 2 の絶縁膜を、酸化物ラジカルを含む雰囲気中でプラズマ酸化により形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記第 2 の絶縁膜を、窒化物ラジカルを含む雰囲気中でプラズマ窒化により形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の絶縁膜を、 $\text{ONO}$ 膜として形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記強酸化性溶液が硝酸を含む溶液であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記強酸化性溶液がオゾンを含む溶液であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 前記低温処理は、 $650^{\circ}\text{C}$ 以下で行なわれることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の絶縁膜の膜厚が  $1\text{ nm}$ 以上であることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の絶縁膜がゲート絶縁膜またはトンネル絶縁膜であることを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、ゲート絶縁膜の形成時に適用して好適なものである。

【 0 0 0 2 】

【従来の技術】

半導体装置の製造において、微小のパーティクルや微量の不純物の付着が高性能かつ高信頼性な半導体装置を実現する上での妨げとなるため、ある製造工程から次の製造工程の間に半導体基板の洗浄工程を設けている。この洗浄工程における洗浄にはさまざまな方法があるが、現在は、塩酸を含む溶液等によるウェット洗浄が主流となっている。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかしながら、半導体基板上に絶縁膜を形成するときに、上述したウェット洗浄を行なったからの放置時間の経過にともなって、半導体基板表面に付着する有機物等の不純物が増加していくことになるが、従来では、ウェット洗浄の際に形成されるケミカル酸化膜が有機物等の不純物が付着しやすい塩酸を含む溶液によって形成されていたため、放置時間の経過にともなってこの不純物による悪影響があった。

【 0 0 0 4 】

具体的には、上述したケミカル酸化膜を包含したゲート酸化膜もしくはトンネル酸化膜を形成する場合に、ウェット洗浄を行なったから酸化膜の形成を行なうまでの放置時間の経過にともなって、有機物等の不純物の付着による酸化膜の急激な絶縁劣化を招き、信頼性を確保できないという問題があった。

【 0 0 0 5 】

本発明は上述の問題点に鑑みてなされたものであり、ゲート絶縁膜やトンネル絶縁膜等の絶縁膜（第2の絶縁膜）を形成するときに、不純物の低減した信頼性のある半導体装置の製造方法を実現することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0007】

本発明の半導体装置の製造方法は、半導体基板の表面を洗浄した後、強酸化性溶液により前記半導体基板の表面を酸化して第1の絶縁膜を形成する工程と、低温処理により前記第1の絶縁膜を包含した第2の絶縁膜を形成する工程とを含むことを特徴とするものである。

【0008】

【発明の実施の形態】

一本発明における半導体装置の製造方法の骨子一

以下に、本発明における半導体装置の製造方法の骨子について説明する。

従来、塩酸を含む溶液を用いたウェット洗浄により、半導体基板上に薄いケミカル酸化膜が形成されていたが、この塩酸を含む溶液により形成されたケミカル酸化膜は、表面に凹凸を生じて表面積が大きく、有機物等の不純物が付着しやすいものであった。これにより、このケミカル酸化膜を包含するようにゲート酸化膜もしくはトンネル酸化膜等の絶縁膜の形成を、熱酸化によらない低温処理（650℃以下）、例えば直接プラズマ酸化や直接プラズマ窒化にて行なう場合には、その形成温度が低いために有機物等の不純物が除去されず、この不純物による悪影響が顕著となってしまう。

【0009】

そこで、本発明者は、ウェット洗浄の際に形成されるケミカル酸化膜を均一で緻密な膜として、有機物等の不純物が付着しにくいものとするべく半導体装置の製造方法を案出した。

【0010】

図1は、本発明における半導体装置の製造方法の骨子を示す概略図である。

図1(a)に示すように、塩酸を含む溶液よりも強酸化性である溶液、例えば硝酸を含む溶液やオゾンを含む溶液、によるウェット洗浄を行なって、半導体基板1上に、ケミカル絶縁膜（第1の絶縁膜）100を形成する。ここで、強酸化性溶液で形成されたケミカル絶縁膜100は、酸化性が強いために、塩酸を含む

溶液により形成されたものよりも均一で緻密な膜とすることができるため、膜の表面積を小さくすることができ、有機物等の不純物が付着しにくいものとすることができる。

#### 【 0 0 1 1 】

続いて、図 1 ( b ) に示すように、プラズマ等による低温処理を行なって、ケミカル酸化膜 1 0 0 を包含したゲート絶縁膜 ( 第 2 の絶縁膜 ) 2 0 0 を形成する。このとき、形成されるゲート絶縁膜 2 0 0 は、有機物等の不純物が付着しにくいケミカル酸化膜 1 0 0 を包含して形成されるため、塩酸を含む溶液により形成されたケミカル酸化膜を包含して形成されたものよりも、不純物の少ないものとすることができる。

#### 【 0 0 1 2 】

前述したように、半導体基板 1 上に形成されるケミカル絶縁膜 1 0 0 を、ウェット洗浄に強酸化性溶液を用いて形成することで、ウェット洗浄工程から絶縁膜形成工程間におけるケミカル絶縁膜 1 0 0 への不純物の付着を低減させることができる。これにより、低温処理を行なう絶縁膜形成工程において、ケミカル絶縁膜 1 0 0 を包含したゲート絶縁膜 2 0 0 を形成するときに、有機物等の不純物を低減させることができるため、ゲート絶縁膜 2 0 0 の絶縁劣化を防止することができる。

#### 【 0 0 1 3 】

ー本発明を適用した具体的な実施形態ー

次に、添付図面を参照しながら、本発明における半導体装置の製造方法の骨子を踏まえた実施形態について説明する。本実施形態では、半導体装置の一例として、埋め込みビットライン型の SONOS 構造の半導体記憶装置を開示する。この半導体記憶装置は、メモリセル領域 ( コア領域 ) の SONOS トランジスタがプレーナ型とされており、周辺回路領域には CMOS トランジスタが形成されるものである。

#### 【 0 0 1 4 】

図 2 ～図 5 は、本実施形態における埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示した概略断面図である。



ここで、各図の左側がコア領域のゲート電極（ワードライン）に平行な断面図、右側が周辺回路領域の断面図を示している。

## 【 0 0 1 5 】

まず、図 2（a）に示すように、P 型シリコン（Si）からなる半導体基板 1 上に、シリコン酸化膜（SiO<sub>2</sub>膜）1 1 を熱酸化にて膜厚 2 0 n m 程度で形成した後、フォトリソグラフィにより、周辺回路領域のトランジスタ形成領域を開口するようにレジストパターン 3 1 を形成して、全面にリン（P）をイオン注入した後、アニール処理により不純物を熱拡散させ、N ウエル 2 を形成する。その後、O<sub>2</sub> プラズマを用いた灰化处理等によりレジストパターン 3 1 を除去する。

## 【 0 0 1 6 】

続いて、図 2（b）に示すように、フォトリソグラフィにより、周辺回路領域の NMOS トランジスタ形成領域を開口するようにレジストパターン 3 2 を形成して、全面にホウ素（B）をイオン注入した後、アニール処理により不純物を熱拡散させ、NMOS トランジスタ形成領域でトリプルウエル構造構造となるように、P ウエル 3 を形成する。その後、O<sub>2</sub> プラズマを用いた灰化处理等によりレジストパターン 3 2 を除去する。

## 【 0 0 1 7 】

続いて、図 2（c）に示すように、シリコン酸化膜 1 1 上に、CVD 法にてシリコン窒化膜 1 2 を膜厚 1 0 0 n m 程度堆積する。そして、フォトリソグラフィにより、周辺回路領域の素子分離領域を開口するようにレジストパターン 3 3 を形成し、ドライエッチングにより、素子分離領域のシリコン窒化膜 1 2 を開口する。その後、O<sub>2</sub> プラズマを用いた灰化处理等によりレジストパターン 3 3 を除去する。

## 【 0 0 1 8 】

続いて、図 2（d）に示すように、いわゆる LOCOS 法により、シリコン窒化膜 1 2 で覆われていない部分にのみ、厚い素子分離用のシリコン酸化膜 1 3 を形成し、素子活性領域を画定する。その後、ドライエッチングにより、シリコン窒化膜 1 2 を除去する。

## 【 0 0 1 9 】

続いて、図 3 ( a ) に示すように、フォトリソグラフィーにより、ビットライン形状のレジストパターン 3 4 を形成し、これをマスクとして全面に砒素 ( A s ) をイオン注入した後、アニール処理により不純物を熱拡散させる。これにより、コア領域にソース／ドレインと兼用のビットライン拡散層 4 が形成される。その後、 $O_2$  プラズマを用いた灰化处理等によりレジストパターン 3 4 を除去する。

## 【 0 0 2 0 】

続いて、図 3 ( b ) に示すように、フッ酸 ( H F ) によるウエットエッチングにより、シリコン酸化膜 1 1 を除去し、コア領域及び周辺回路領域の各素子活性領域における半導体基板 1 の表面を露出させる。

## 【 0 0 2 1 】

続いて、図 3 ( c ) に示すように、 $70^{\circ}\text{C}$  以上の硝酸を含む強酸化性溶液によるウエット洗浄により、ケミカル酸化膜 ( 第 1 の絶縁膜 ) 1 4 を、例えば膜厚  $1.0\text{ nm} \sim 1.5\text{ nm}$  程度で形成する。ここで、ケミカル酸化膜 1 4 は、強酸化性溶液により形成されるため、均一で緻密な膜である。

## 【 0 0 2 2 】

なお、本発明において、強酸化性溶液とは、塩酸を含む溶液よりも酸化力の強い溶液であると定義され、また、本実施形態で示した硝酸を含む溶液に限定されるものではなく、上述した主性質を満足するものであれば適用可能であり、例えば、オゾンを含む溶液等を適用することも可能である。

## 【 0 0 2 3 】

続いて、多層絶縁膜である ONO 膜の形成を行なうが、ここで、この ONO 膜の形成に用いるマイクロ波励起によるプラズマ酸化法及びプラズマ窒化法について詳細に説明する。

## 【 0 0 2 4 】

具体的には、図 7 に示すようなラジアルラインスロットアンテナを備えたプラズマ処理装置を用いて、プラズマ酸化処理及びプラズマ窒化処理を行なう。

このプラズマ処理装置 1 0 0 0 は、クラスターツール 1 0 0 1 に連通されたゲ

ートバルブ1002と、被処理体W（本実施形態では半導体基板1）を載置し、プラズマ処理時に被処理体Wを冷却する冷却ジャケット1003を備えたサセプタ1004を収納可能な処理室1005と、処理室1005に接続されている高真空ポンプ1006と、マイクロ波源1010と、アンテナ部材1020と、このアンテナ部材1020とともにイオンプレーティングを構成するバイアス用高周波電源1007及びマッチングボックス1008と、ガス供給リング1031、1041を有するガス供給系1030、1040と、被処理体Wの温度制御を行なう温度制御部1050とを含み構成されている。

#### 【0025】

マイクロ波源1010は、例えば、マグネトロンからなり、通常2.45GHzのマイクロ波（例えば、5kW）を発生することができる。マイクロ波は、その後、モード変換器1012により伝送形態がTM、TE又はTEMモードなどに変換される。

#### 【0026】

アンテナ部材1020は、温調板1022と、収納部材1023とを有している。温調板1022は、温度制御装置1021に接続され、収納部材1023は、遅波材1024と遅波材1024に接触するスロット電極（不図示）とを収納している。このスロット電極は、ラジアルラインスロットアンテナ（RLSA）又は超高能率平面アンテナと称される。但し、本実施形態ではその他の形式のアンテナ、例えば一層構造導波管平面アンテナ、誘電体基板平行平板スロットアレーなどを適用しても良い。

#### 【0027】

上記構成のプラズマ処理装置を用いて本実施形態のONO膜を形成するには、まず、図3（d）に示すように、低温（650℃以下）におけるプラズマ酸化法により、ケミカル酸化膜14を包含したトンネル酸化膜（シリコン酸化膜）15aを膜厚7nm程度で形成する。

具体的には、450℃程度の温度条件で酸素原子を含むソースガスの雰囲気中で、そのソースガスに2kWのマイクロ波を照射することにより酸素物ラジカル（O<sup>\*</sup>ラジカルまたはOH<sup>\*</sup>ラジカル）を発生させて酸化処理を行ない、トンネル

酸化膜 1 5 a を形成する。

【 0 0 2 8 】

続いて、図 4 ( a ) に示すように、熱 C V D 法により、 $\text{SiH}_4$  を原料ガスとして 5 3 0 ° C の温度条件で、トンネル酸化膜 1 5 a 上に非結晶シリコン膜 1 5 b を膜厚 1 0 n m 程度に堆積する。ここで、非結晶シリコン膜の替わりに多結晶シリコン膜を形成してもよい。

【 0 0 2 9 】

続いて、図 4 ( b ) に示すように、プラズマ窒化法により、非結晶シリコン膜 1 5 b を完全に窒化し、トンネル酸化膜 1 5 a 上にシリコン窒化膜 1 5 c を形成する。

具体的には、4 5 0 ° C 程度の温度条件で窒素原子を含むソースガス、例えば  $\text{N}_2$  ガスの雰囲気中で、そのソースガスに 2 k W のマイクロ波を照射することにより窒化物ラジカル ( $\text{N}^*$ ラジカルまたは  $\text{NH}^*$ ラジカル) を発生させて窒化処理を行ない、膜厚 1 0 n m 程度の非結晶シリコン膜 1 5 b を完全に窒化し尽くして、膜厚 1 5 n m 程度のシリコン窒化膜 1 5 c に置き換える。

【 0 0 3 0 】

続いて、図 4 ( c ) に示すように、プラズマ酸化法により、シリコン窒化膜 1 5 c の表層を酸化し、シリコン酸化膜 1 5 d を形成する。

具体的には、4 5 0 ° C 程度の温度条件で酸素原子を含むソースガスの雰囲気中で、そのソースガスに 2 k W のマイクロ波を照射することにより酸素物ラジカル ( $\text{O}^*$ ラジカルまたは  $\text{OH}^*$ ラジカル) を発生させて酸化処理を行ない、シリコン酸化膜 1 5 d を形成する。これにより、1 5 a 、 1 5 c 、 1 5 d の 3 膜からなる  $\text{ONO}$  膜 1 5 が形成される。

【 0 0 3 1 】

続いて、図 4 ( d ) に示すように、フォトリソグラフィーにより、周辺回路領域を開口するようにレジストパターン 3 5 を形成し、ドライエッチングにより、周辺回路領域の  $\text{ONO}$  膜 1 5 を除去する。その後、 $\text{O}_2$  プラズマを用いた灰化処理等によりレジストパターン 3 5 を除去する。

【 0 0 3 2 】

続いて、図 5 (a) に示すように、半導体基板 1 の表面を温度 1 0 0 0℃程度の温度条件で高温加熱して、シリコン酸化膜 (S i O<sub>2</sub>膜) を膜厚 8 n m 程度で形成した後、フォトリソグラフィーにより、周辺回路領域の P M O S トランジスタ形成領域を開口するように不図示のレジストパターンを形成して、フッ酸 (H F) によるウエットエッチングにより、P M O S トランジスタ形成領域のシリコン酸化膜を除去する。さらに、O<sub>2</sub>プラズマを用いた灰化处理等によりこの不図示のレジストパターンを除去した後、再度、半導体基板 1 の表面を温度 1 0 0 0℃程度の温度条件で高温加熱して、シリコン酸化膜を膜厚 1 0 n m 程度で形成して、P M O S トランジスタ形成領域に膜厚 1 0 n m 程度のゲート絶縁膜 1 6 と、N M O S トランジスタ形成領域に膜厚 1 3 n m 程度のゲート絶縁膜 1 7 との異なる 2 種類のゲート絶縁膜が形成される。

#### 【 0 0 3 3 】

続いて、図 5 (b) に示すように、コア領域及び周辺回路領域に C V D 法にて多結晶シリコン膜 1 8 を膜厚 1 0 0 n m 程度に堆積する。さらに、多結晶シリコン膜 1 8 上に C V D 法にてタングステンシリサイド 1 9 を膜厚 1 5 0 n m 程度に堆積する。

#### 【 0 0 3 4 】

続いて、図 5 (c) に示すように、フォトリソグラフィー及びそれに続くドライエッチングにより、タングステンシリサイド 1 9 及び多結晶シリコン膜 1 8 をパターニングし、コア領域及び周辺回路領域の P M O S トランジスタ形成領域と N M O S トランジスタ形成領域に、タングステンシリサイド 1 9 及び多結晶シリコン膜 1 8 からなるゲート電極をそれぞれ形成する。このとき、コア領域には、このゲート電極をビットライン拡散層 4 と略直交するように形成する。

#### 【 0 0 3 5 】

さらに、周辺回路領域にのみ、L D D 構造からなるソース／ドレイン 2 0 , 2 1 を形成する。

具体的に、P M O S トランジスタ形成領域には、ゲート電極の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 2 を形成する。他方、N M O S トランジスタ形成領域には、ゲート電極の両側における

半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 3 を形成する。

## 【 0 0 3 6 】

次に、CVD 法により、全面にシリコン酸化膜を堆積した後、このシリコン酸化膜の全面を異方性エッチング（エッチバック）して、各ゲート電極の両側面のみシリコン酸化膜を残し、サイドウォール 2 4 を形成する。

## 【 0 0 3 7 】

そして、PMOS トランジスタ形成領域には、ゲート電極及びサイドウォール 2 4 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 2 と一部重畳されてなる深いソース／ドレイン 2 0 を形成する。他方、NMOS トランジスタ形成領域には、ゲート電極及びサイドウォール 2 4 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 3 と一部重畳されてなる深いソース／ドレイン 2 1 を形成する。

## 【 0 0 3 8 】

しかる後に、全面を覆う数層の層間絶縁膜、コンタクトホールやビアホール、各種配線層等を形成し、最上層に保護絶縁膜（ともに不図示）を形成することにより、半導体基板 1 上に、コア領域には SONOS 型のメモリセルのアレイが形成され、周辺回路領域には CMOS 型のトランジスタが形成される。このとき、コア領域のビットライン拡散層 4 は、配線で裏打ちされる。ここで、コア領域の概略図を図 6（a）に示し、また、図 6（b）に図 6（a）における I-I 断面図と、II-II 断面図を示す。図 6（a）に示すように、ビットライン拡散層 4 には、配線で裏打ちするためのコンタクトホール形成部位 2 5 がワード線 1 9 の 1 6 本につき 1 本の割合で所定箇所に形成されている。

以上の工程を経ることで、本実施形態の半導体記憶装置が完成する。

## 【 0 0 3 9 】

本実施形態では、素子分離法として、LOCOS 法を用いたが、STI（Shallow Trench Isolation）法を用いてもよい。また、プラズマ酸化の方法としては、一般的な枚葉式プラズマチャンバーに原料ガスを入れ、酸素ラジカル（O<sup>\*</sup>）を生成する方式でもよい。また、ゲート電極は、多結晶シリコン膜上にタンゲス

テンシリサイドを形成したが、コバルトなどを用いて、サリサイド化してもよい。また、コアは、プレーナ型で形成しているが、いわゆるビットライン酸化方式でもよい。また、半導体基板はN型でもよく、結晶面方位は(100)でも(111)でもよい。また、ビットラインの裏打ちはワードライン8本につき1本でも、32本につき1本でも、20本につき1本でもよい。また、本実施形態におけるコア領域のメモリセルアレイの構造は仮想接地型であるが、NOR型でも、NAND型でも、その他の構造でもよい。

## 【0040】

## ー半導体装置の特性検証結果ー

図1で示した半導体装置において、ケミカル酸化膜(第1の絶縁膜)100の形成を、従来の塩酸を含む溶液により形成したものと、本実施形態に示す硝酸を含む溶液により形成したものとで電気的特性の比較検証を行なった。

## 【0041】

図8は、ゲート絶縁膜200の絶縁耐圧の特性図であり、図8(a)は塩酸を含む溶液によりケミカル酸化膜100を形成した半導体装置の特性図、図8(b)は硝酸を含む溶液によりケミカル酸化膜100を形成した半導体装置の特性図である。ここで、溶液の濃度としては、10～60wt%程度である。

## 【0042】

これらの特性図は、縦軸に累積不良率、横軸にゲート絶縁膜200の絶縁破壊に至った電気量を示している。また、実線でつないだ特性は、1つの半導体装置に対するものであり、測定試料としては、ケミカル酸化膜100形成後、直ちに低温処理(O<sup>\*</sup>ラジカル)を行なってゲート絶縁膜200を形成したものが「1」であり、ケミカル酸化膜100形成後、1時間放置した後に低温処理してゲート絶縁膜200を形成したものが「2」、同様に、2時間放置してゲート絶縁膜200を形成したものが「3」、3時間放置してゲート絶縁膜200を形成したものを「4」である。

## 【0043】

図8(a)に示す塩酸を含む溶液によりケミカル酸化膜100を形成した半導体装置は、ゲート絶縁膜200を形成するまでの放置時間が長くなると、絶縁耐

圧が著しく減少することがわかる。これは、塩酸を含む溶液により形成されたケミカル酸化膜 1 0 0 は、表面に凹凸を生じて表面積が大きく、有機物等の不純物が付着がしやすくなっており、放置時間の経過にともなって付着する不純物も増加し、この不純物によって絶縁耐圧が著しく減少していくと考えられる。

## 【 0 0 4 4 】

一方、図 8 ( b ) に示す硝酸を含む溶液によりケミカル酸化膜 1 0 0 を形成した半導体装置は、ゲート絶縁膜 2 0 0 を形成するまでの放置時間が長くなっても、絶縁耐圧の減少が見られない。これは、硝酸を含む溶液により形成されたケミカル酸化膜 1 0 0 は、均一で緻密な膜であり、有機物等の不純物の付着がしにくく、放置時間が長くなっても付着する不純物はそれほど変わらないため、絶縁耐圧の減少も起こらないと考えられる。

## 【 0 0 4 5 】

図 8 に示した検証結果により、塩酸を含む溶液よりも強酸化性溶液である硝酸を含む溶液を用いてケミカル酸化膜 1 0 0 を形成することで、絶縁膜の絶縁劣化を防止することができることを実証できた。

## 【 0 0 4 6 】

以下、本発明の諸態様を付記としてまとめて記載する。

## 【 0 0 4 7 】

( 付 記 1 ) 半導体基板の表面を洗浄した後、強酸化性溶液により前記半導体基板の表面を酸化して第 1 の絶縁膜を形成する工程と、

低温処理により前記第 1 の絶縁膜を包含した第 2 の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【 0 0 4 8 】

( 付 記 2 ) 前記第 2 の絶縁膜を、ラジカルを含む雰囲気中で形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

## 【 0 0 4 9 】

( 付 記 3 ) 前記第 2 の絶縁膜を、酸化物ラジカルを含む雰囲気中でプラズマ酸化により形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

## 【 0 0 5 0 】



(付記 4) 前記第 2 の絶縁膜を、窒化物ラジカルを含む雰囲気中でプラズマ窒化により形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 0 5 1 】

(付記 5) 前記第 2 の絶縁膜を、ONO 膜として形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 0 5 2 】

(付記 6) 前記強酸化性溶液が硝酸を含む溶液であることを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 3 】

(付記 7) 前記硝酸を含む溶液の温度が 7 0 ℃ 以上であることを特徴とする付記 6 に記載の半導体装置の製造方法。

【 0 0 5 4 】

(付記 8) 前記強酸化性溶液がオゾンを含む溶液であることを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 5 】

(付記 9) 前記低温処理は、6 5 0 ℃ 以下で行なわれることを特徴とする付記 1 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 6 】

(付記 1 0) 前記第 1 の絶縁膜の膜厚が 1 n m 以上であることを特徴とする付記 1 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 7 】

(付記 1 1) 前記第 2 の絶縁膜がゲート絶縁膜またはトンネル絶縁膜であることを特徴とする付記 1 ～ 1 0 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 8 】

【発明の効果】

本発明によれば、低温処理により第 2 の絶縁膜を形成するときに、強酸化性溶液により形成された第 1 の絶縁膜を包含するようにすることで、有機物等の不純物が少ない絶縁膜とすることができる。これにより、半導体基板へのストレス低減を図りつつ、ゲート絶縁膜の絶縁劣化を防止した半導体装置の製造方法を実現

することができる。

【図面の簡単な説明】

【図 1】

本発明における半導体装置の製造方法の骨子を示す概略図である。

【図 2】

本発明の実施形態における S O N O S 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 3】

図 2 に引き続き、本発明の実施形態における S O N O S 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 4】

図 3 に引き続き、本発明の実施形態における S O N O S 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 5】

図 4 に引き続き、本発明の実施形態における S O N O S 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 6】

本実施形態における S O N O S 型半導体記憶装置のメモリ領域の概略図である。

【図 7】

プラズマ酸化処理及びプラズマ窒化処理を行なうプラズマ処理装置の概略構成図である。

【図 8】

ゲート絶縁膜の絶縁耐圧の特性図である。

【符号の説明】

1 0 0 ケミカル酸化膜（第 1 の絶縁膜）

2 0 0 ゲート絶縁膜（第 2 の絶縁膜）

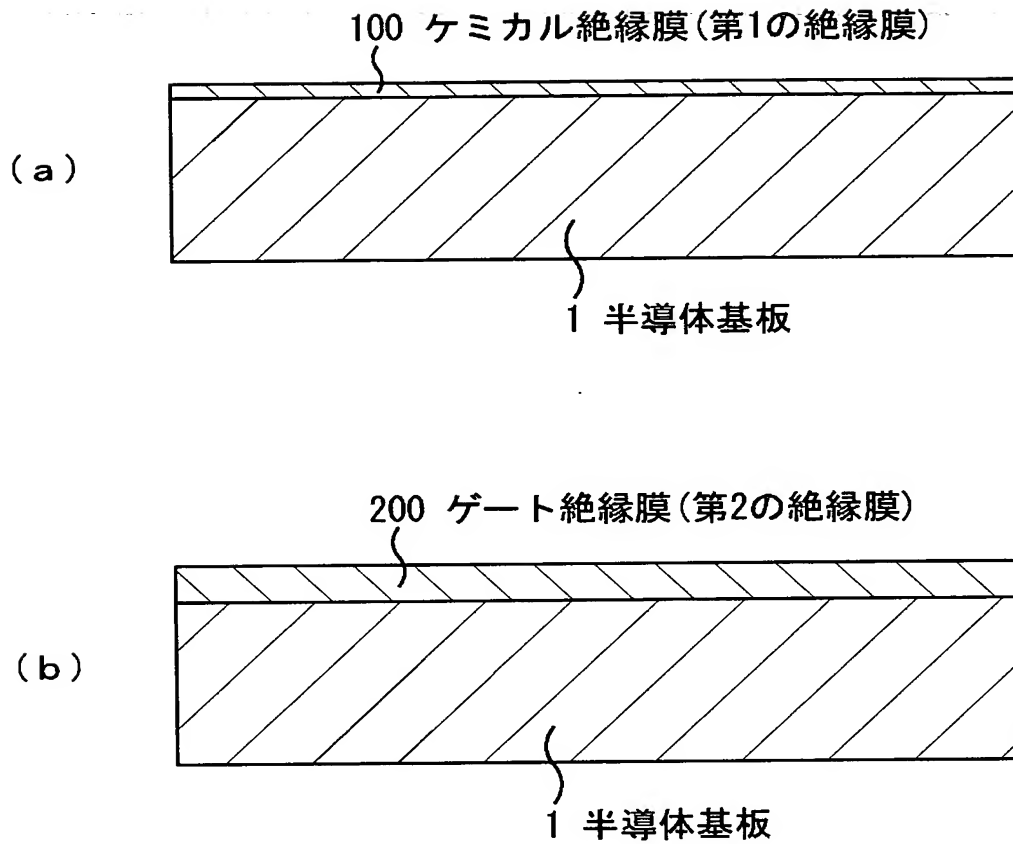
1 半導体基板

2 N ウエル

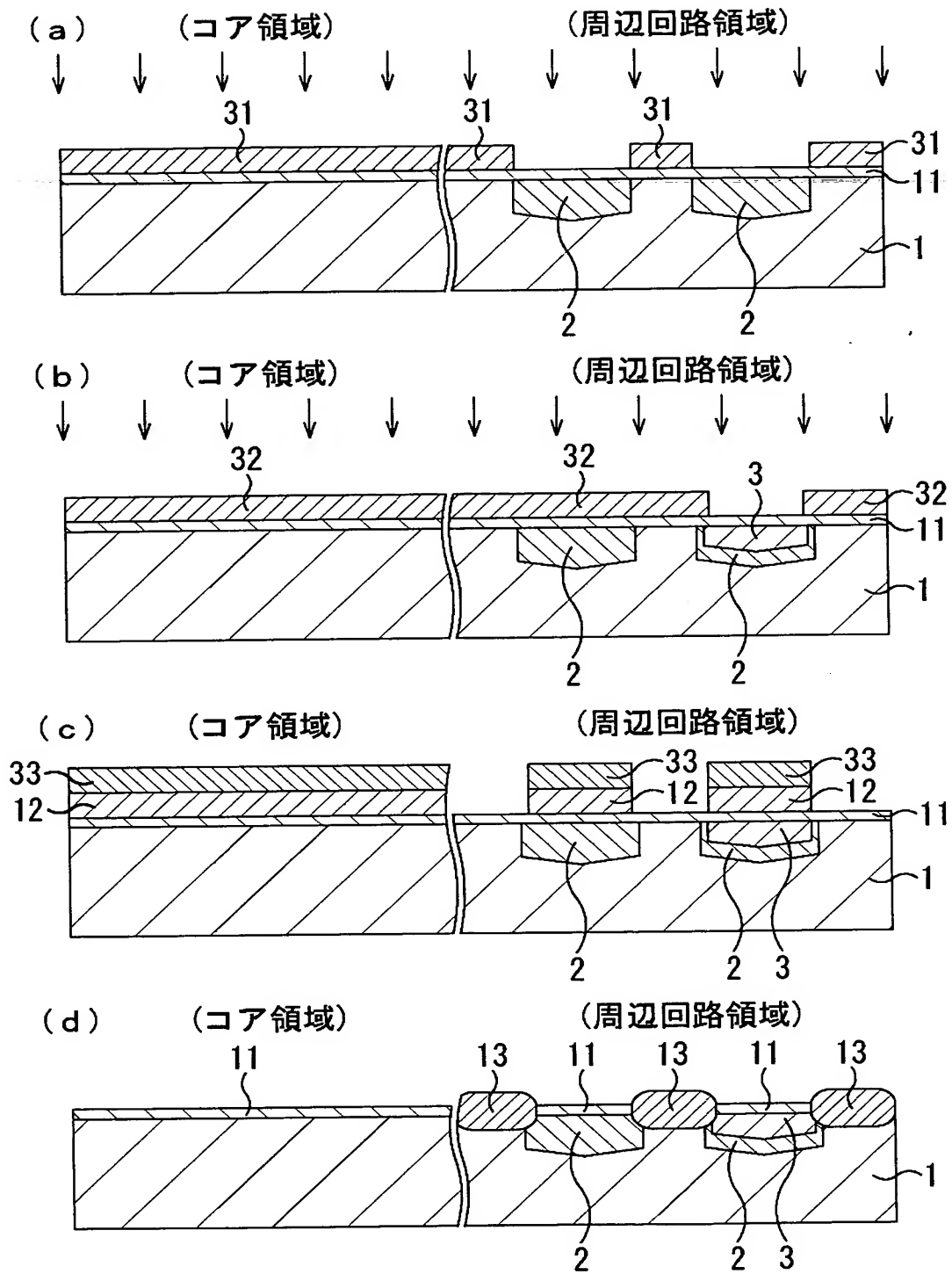
- 3 P ウエル
- 4 ビットライン拡散層
  - 1 1 シリコン酸化膜 ( $\text{SiO}_2$  膜)
  - 1 2 シリコン窒化膜
  - 1 3 素子分離用のシリコン酸化膜
  - 1 4 ケミカル酸化膜 (第 1 の絶縁膜)
  - 1 5 ONO 膜
    - 1 5 a トンネル酸化膜 (シリコン酸化膜)
    - 1 5 b 非結晶シリコン膜
    - 1 5 c シリコン窒化膜
    - 1 5 d シリコン酸化膜
  - 1 6 ゲート絶縁膜
  - 1 7 ゲート絶縁膜
  - 1 8 多結晶シリコン膜
  - 1 9 タングステンシリサイド (ワード線)
- 2 0、2 1 ソース/ドレイン
- 2 2、2 3 エクステンション領域
- 2 4 サイドウォール
- 2 5 コンタクトホール形成部位
- 3 1 ~ 3 5 レジストパターン

【書類名】 図面

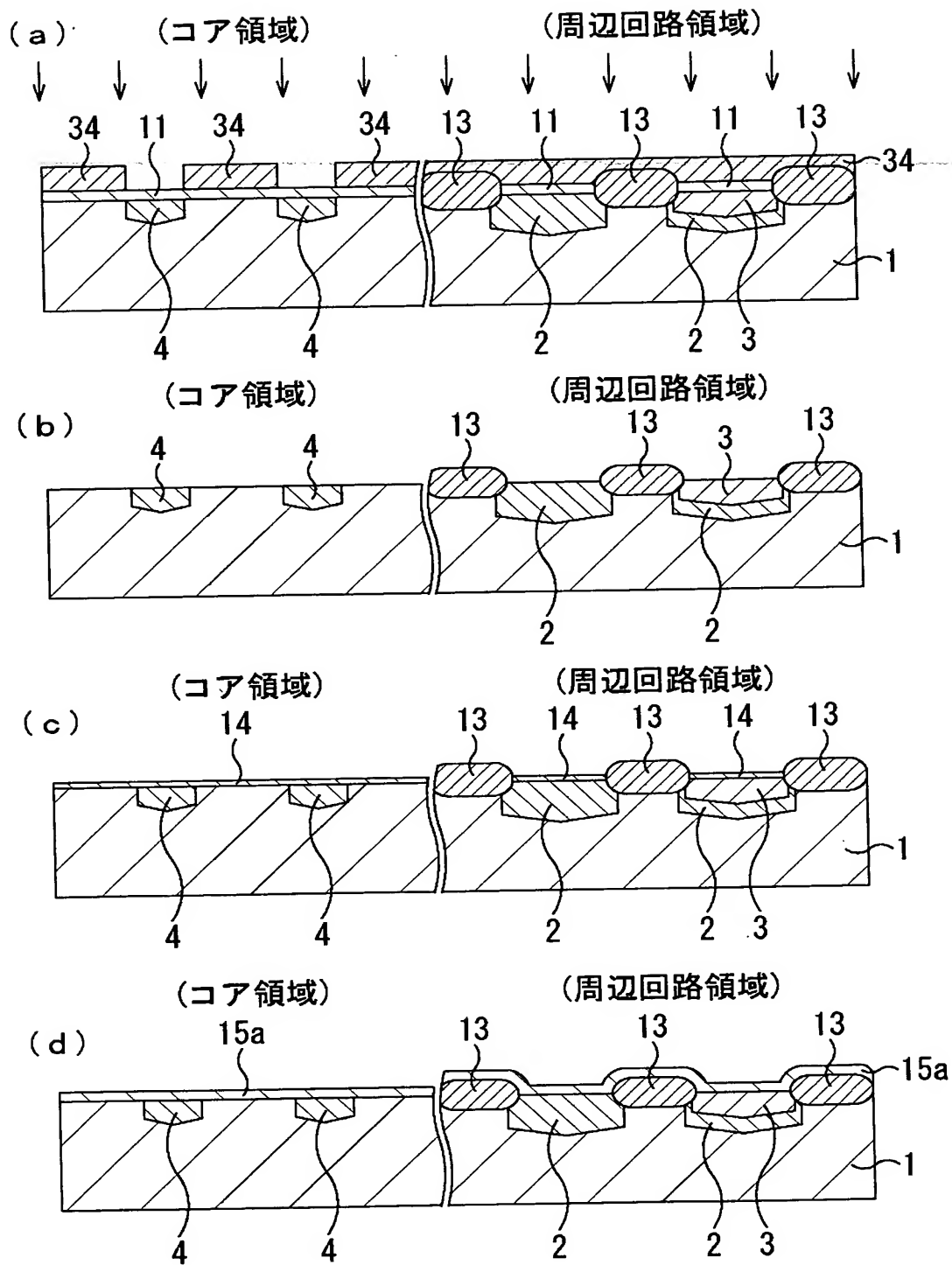
【図 1】



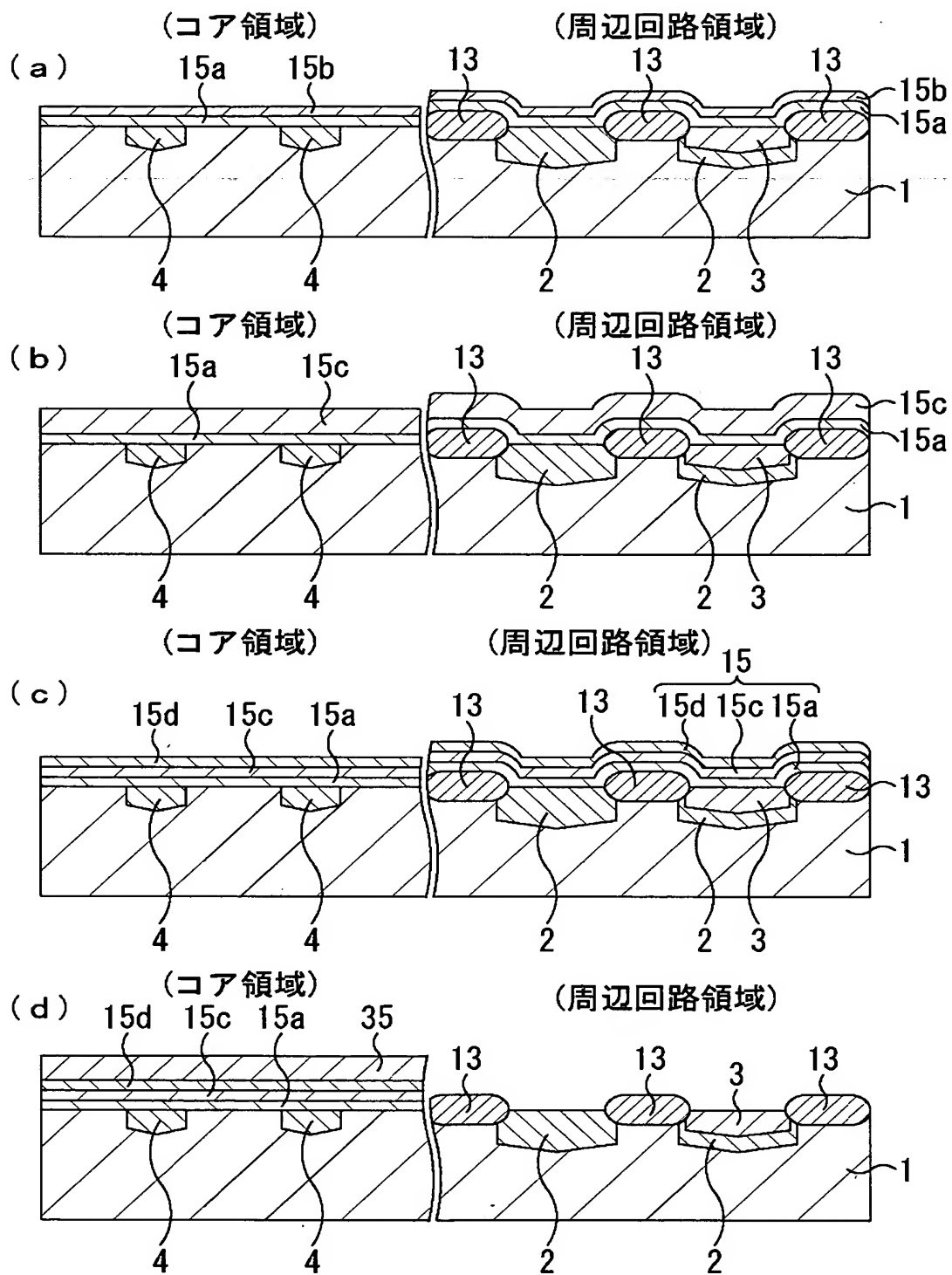
【図2】



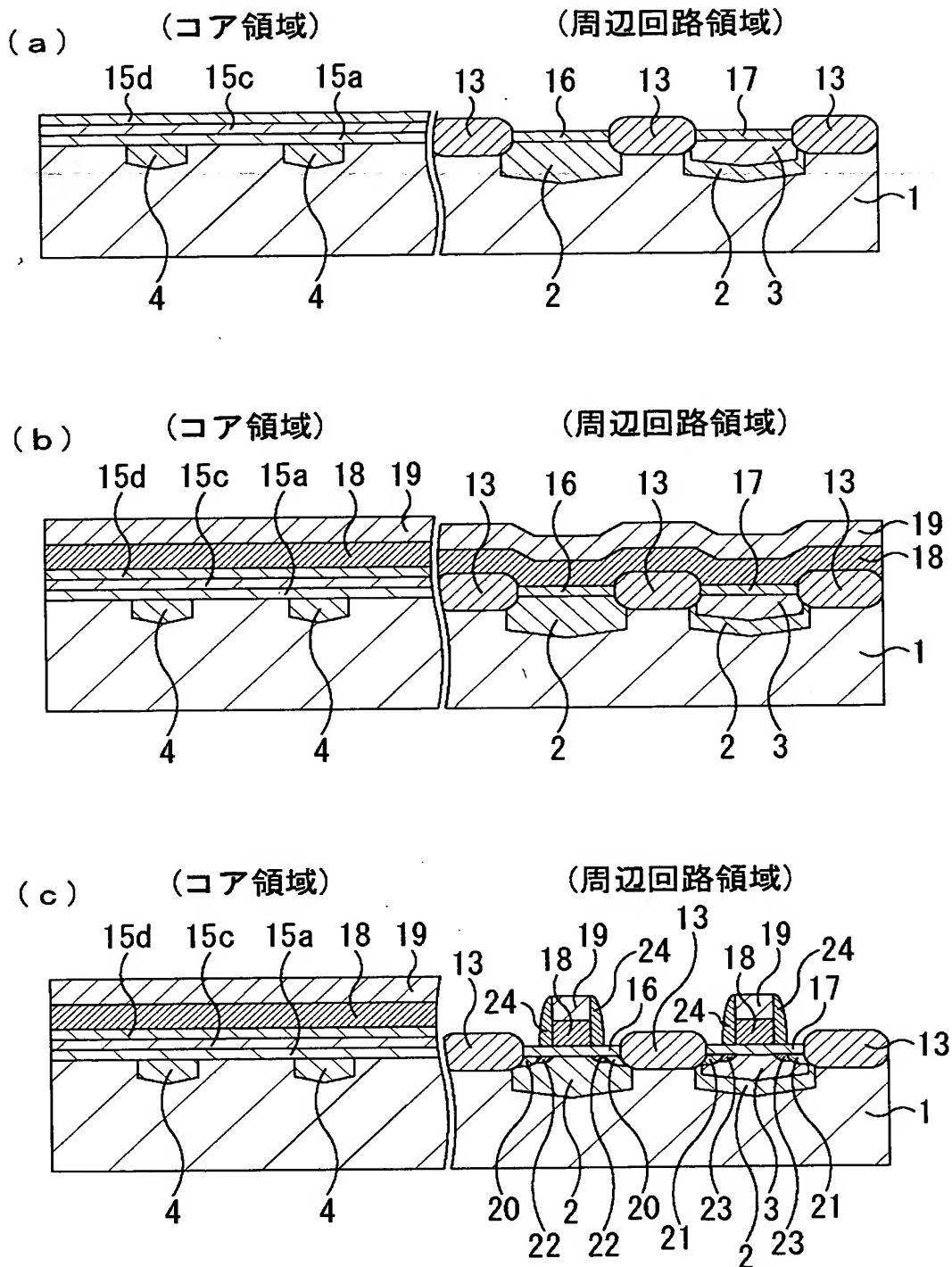
【図3】



【図4】

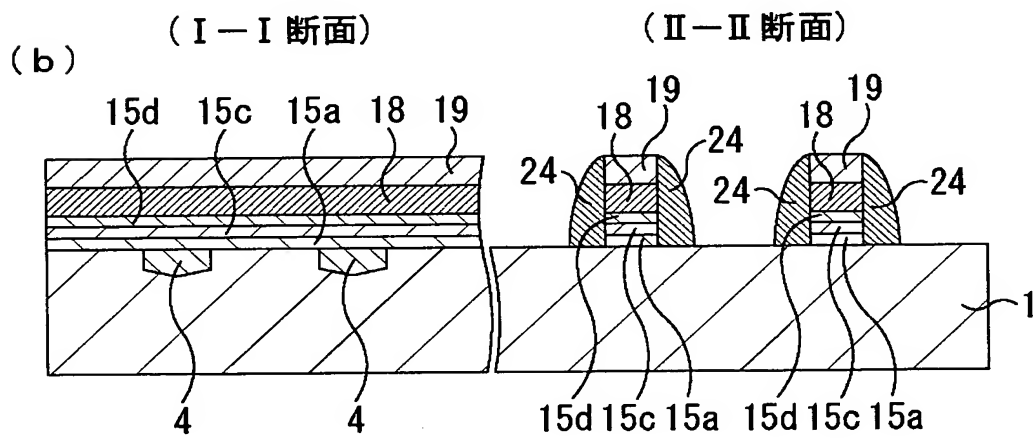
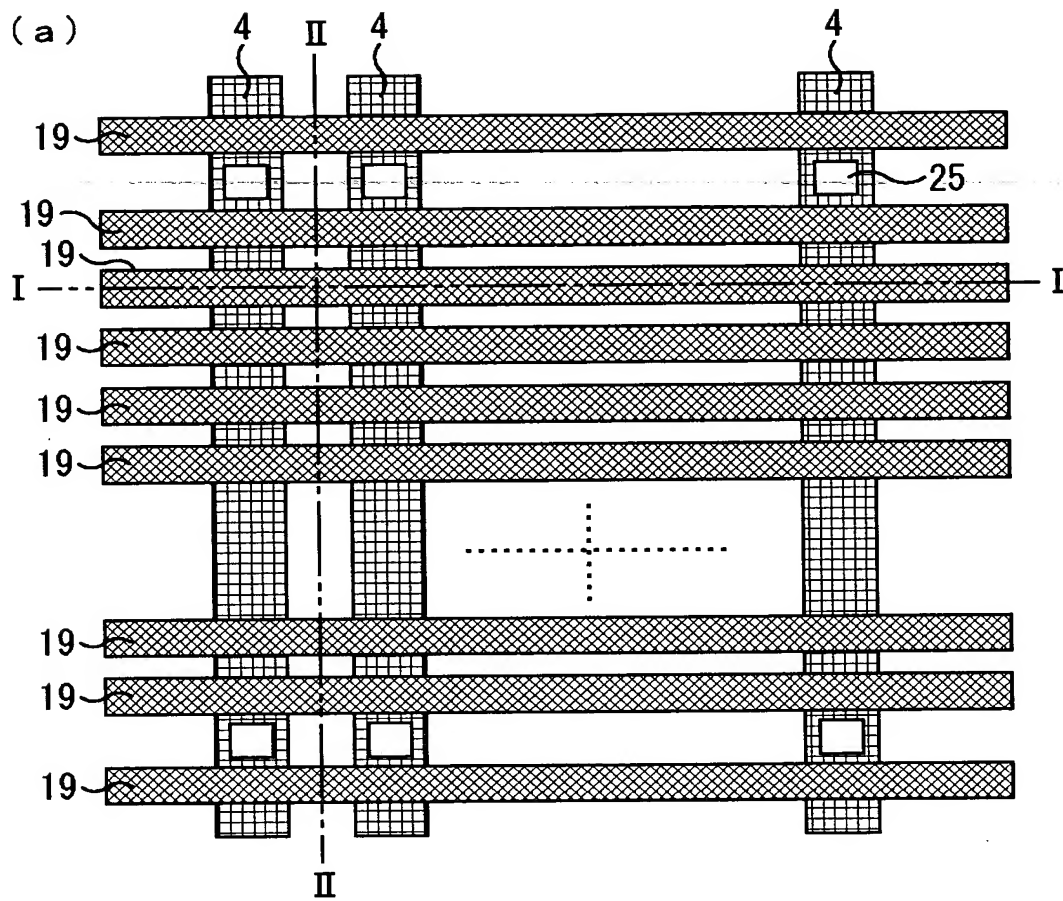


【図 5】

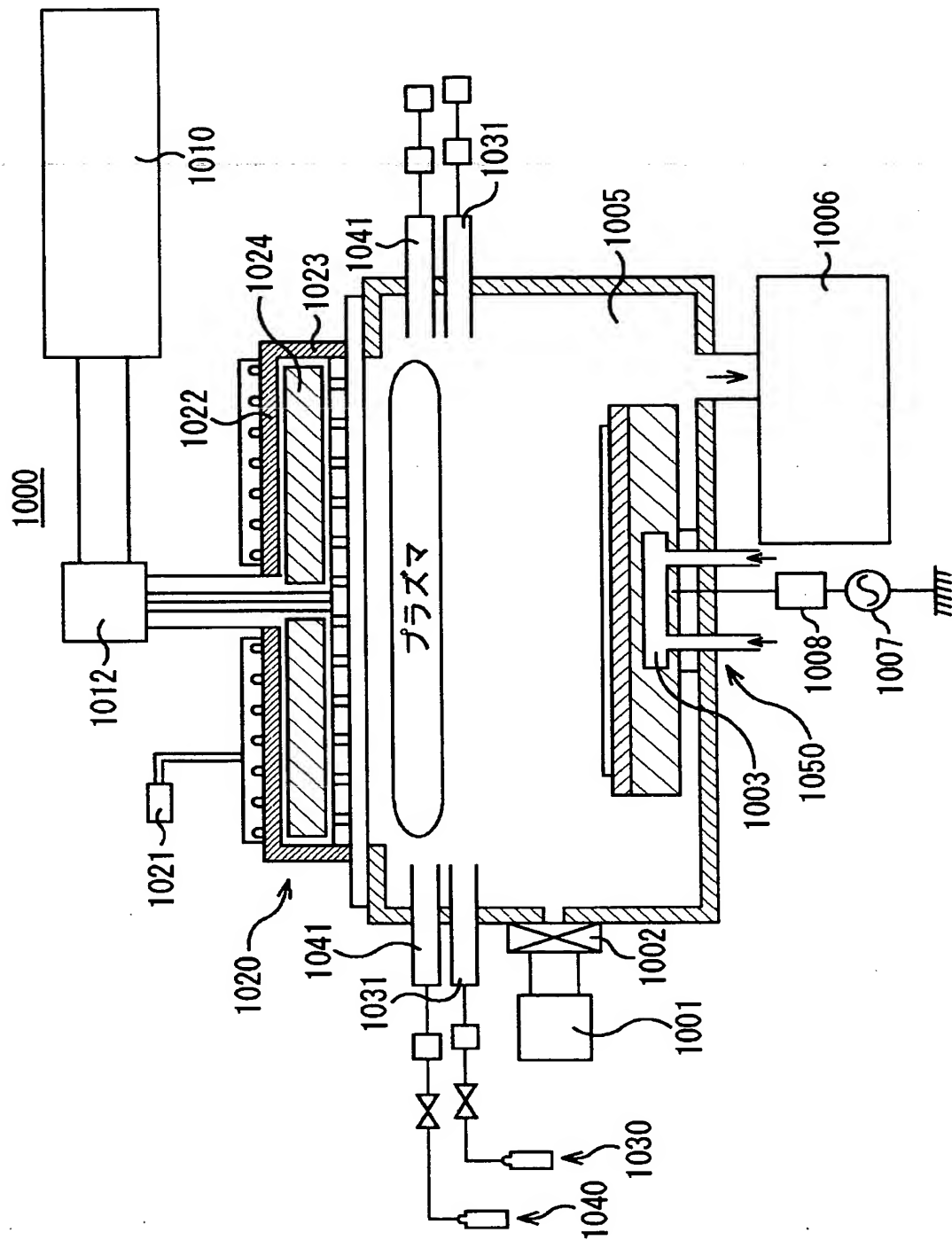




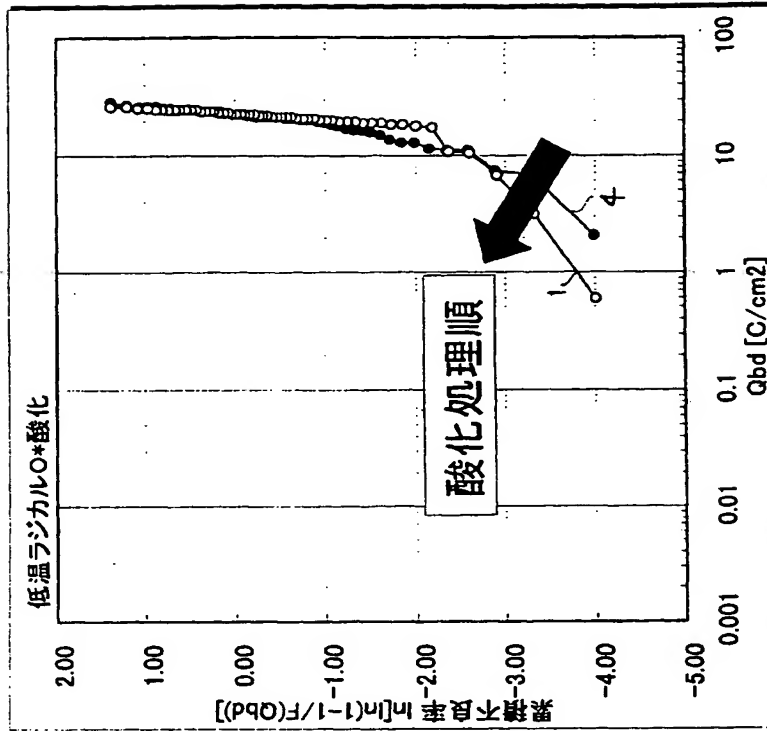
【図 6】



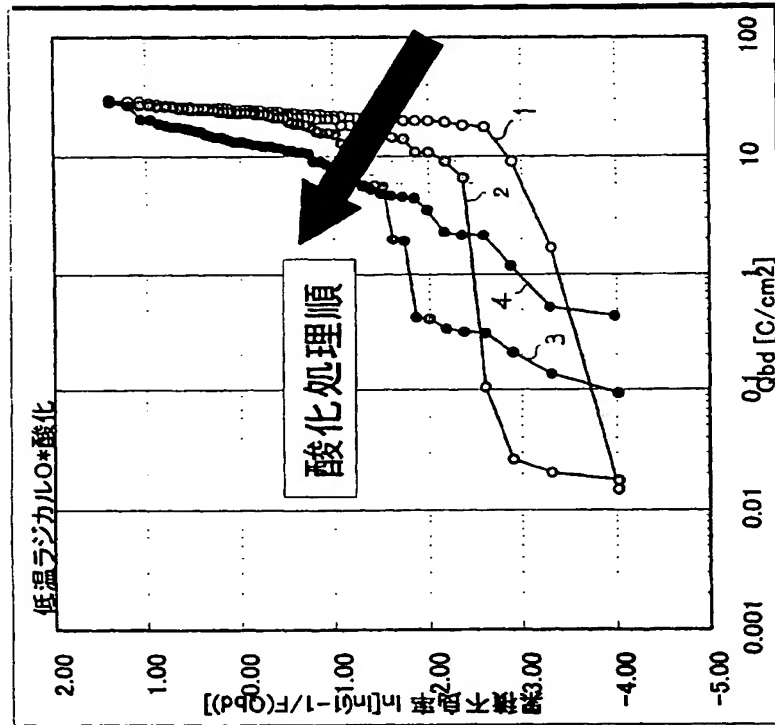
【図 7】



【図 8】



(b) HNO<sub>3</sub> ケミカル酸化膜



(a) HCL ケミカル酸化膜

【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜やトンネル絶縁膜等の絶縁膜（第2の絶縁膜）を形成するときに、不純物の低減した信頼性のある半導体装置の製造方法を実現できるようにする。

【解決手段】 半導体基板上1に形成されるケミカル酸化膜100を、強酸化性溶液を用いたウエット洗浄により形成するようにして、ウエット洗浄工程から絶縁膜形成工程間における、ケミカル酸化膜100への不純物の付着を低減できるようにする。これにより、低温処理を行なう絶縁膜形成工程において、ケミカル酸化膜100を包含したゲート絶縁膜200を形成するときに、ゲート絶縁膜の絶縁劣化を防止することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [596180124]

1. 変更年月日 1996年12月13日

[変更理由] 新規登録

住 所 福島県会津若松市門田町工業団地6番

氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社